

A Study of High-Performance and Ultra-Small MOSFET Technology(**高性能微細MOSFET技術に関する研究**)

著者	田中 徹
号	2911
発行年	2002
URL	http://hdl.handle.net/10097/8184

氏 名	た な か て つ 田 中 徹		
授 与 学 位	博士(工学)		
学 位 授 与 年 月 日	平成15年3月24日		
学位授与の根拠法規	学位規則第4条第1項		
研究科、専攻の名称	東北大学大学院工学研究科(博士課程)機械知能工学専攻		
学 位 論 文 題 目	A Study of High-Performance and Ultra-Small MOSFET Technology (高性能微細MOSFET技術に関する研究)		
指 導 教 官	東北大学教授 小柳 光正		
論 文 審 査 委 員	主査 東北大学教授 小柳 光正	東北大学教授 羽根 一博	
	東北大学教授 寒川 誠二	東北大学助教授 栗野 浩之	
	(流体科学研究所)		

論文内容要旨

The scaling theory has been a golden rule to ameliorate MOSFET performance for more than 30 years. When the gate length of MOSFET is scaled down to sub-50-nm range, however, short-channel effects become severe and the performance of MOSFET does not improve with scaling down its size. Considering these situations, this thesis focused on how small the MOSFET can shrink with good characteristics. Some kinds of MOSFET were studied in detail to solve their scaling issues.

For the case of bulk MOSFET, buried-channel pMOSFET is the key device. Issues were a high threshold voltage and severe short-channel effects. To solve these issues, both device design concept and device parameter window have been clarified by using a two-dimensional device simulation. The simulation results show that both decreasing the thickness and increasing the impurity concentration of the counter-doped layer can achieve a lower threshold voltage with suppressed short-channel effects. In order to form a very thin counter-doped layer, novel process that used a decaborane ion implantation was proposed. This is because it was impossible to obtain such a thin counter-doped layer by employing conventional ion implantation technology. An extremely shallow junction can be fabricated by decaborane ion implantation. This is because decaborane has an effective acceleration energy of one-tenth that of boron, and because an

anomalous boron diffusion by transient-enhanced diffusion can be suppressed with decaborane. Using decaborane ion implantation technology and a low temperature process, 180-nm- L_{eff} buried-channel pMOSFET with an appropriate low threshold voltage was successfully fabricated. Another novel process that used tilted-well implantation was also proposed in order to improve the short-channel characteristics of buried-channel pMOSFETs. Tilted-well implantation varies structural parameters such as well impurity concentration and counter-doped layer thickness in relation to the gate length, sufficiently suppressing the lowering of threshold voltage of an ultra-small buried-channel pMOSFET. The result is a 100-nm- L_{eff} buried-channel pMOSFET with superior characteristics. Buried-channel pMOSFETs fabricated using heavy ion implantation and tilted-well implantation demonstrate their excellent ability for sub-100-nm LSI.

It becomes clear that two scenarios exist in order to scale down MOSFET. One is pursuing a high-speed operation, and the other is pursuing a low-power operation. For both scenarios, the SOI MOSFET is indispensable. For the case of SOI MOSFET pursuing a high-speed operation, double-gate SOI MOSFET is the key device. Operation mechanisms of single-gate and double-gate SOI MOSFET have been analyzed using both two-dimensional device simulation and experimental method that can extract the inversion layer thickness and carrier profile with gate-channel capacitance measurements. It is clarified that conduction in the double-gate SOI MOSFET originates from excellent controllability for carriers by two gate electrodes.

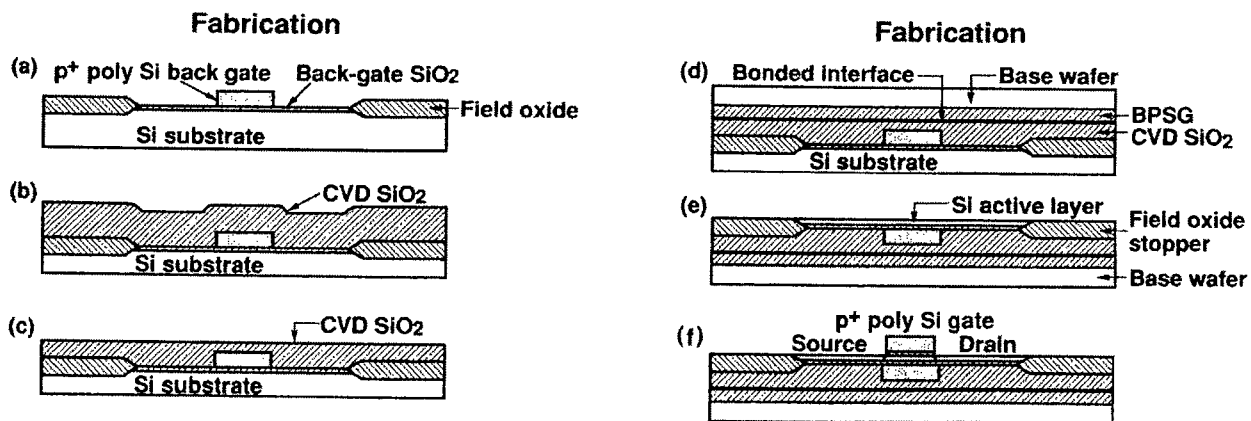


Figure 1 Fabrication process of double-gate SOI MOSFET (bonding and chemical mechanical polishing)

The analytical model developed agrees well with experimental results of the fabricated devices. A planar double-gate SOI MOSFET has been successfully fabricated using a wafer bonding and chemical-mechanical polishing, as shown in Figure 1. Fabricated device shows superior short-channel behavior and transconductance, G_m , exceeding twice that of the single-gate SOI MOSFET. To solve a threshold voltage problem that prevent a double-gate SOI MOSFET from operating at high-speed, p+/n+ double-gate structure has been proposed.

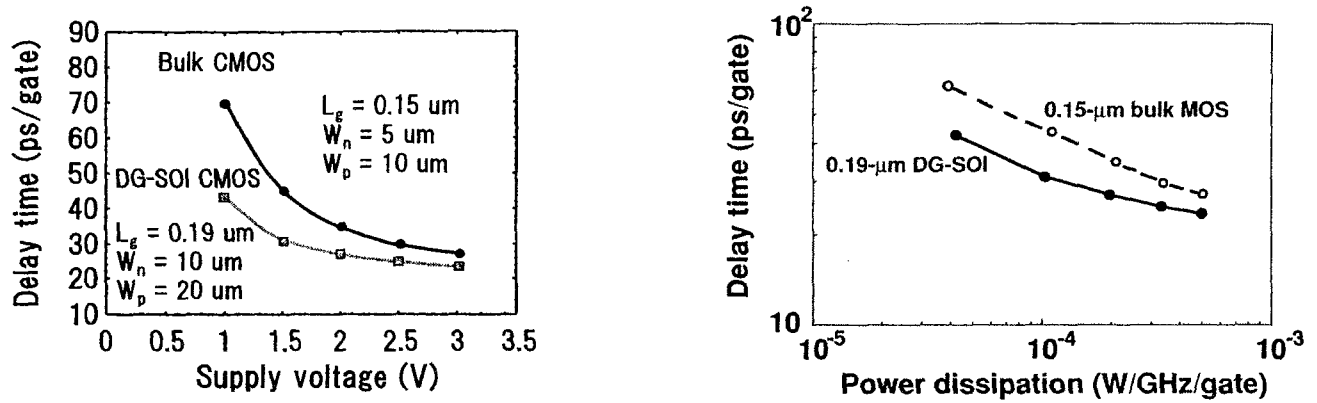


Figure 2 Delay time characteristics in accordance with supply voltage and power dissipation

Figure 2 shows propagation delay time characteristics for the double-gate SOI CMOS ring oscillators. Double-gate SOI MOSFET with optimized threshold voltage shows 62 % the delay time of the reference bulk MOSFET at the same power dissipation. Such ultra-fast low-power operation can be attributed to the reduced parasitic drain junction capacitance, the large drain current obtained from the appropriate threshold voltage and the steep subthreshold slope, and the low series resistance. Double-gate SOI MOSFET can be considered as the most promising for pursuing high-speed operation.

For the case of SOI MOSFET pursuing a low-power operation, DTMOS (dynamic threshold voltage MOSFET) is the key device. There are two kinds of power dissipation, that is, standby power and operation power. While it is necessary for reduced standby power to minimize a leakage current, both minimizing a parasitic capacitance and lowering a supply voltage with keeping drain current constant are important for

reduced operation power. The DTMOS with its body tied to gate has a steep subthreshold slope and the resulting small leakage current and large drive current. Accordingly, DTMOS is the key for both low standby power and low operation power. Fabricating DTMOS displays superior short-channel behavior and one-tenth lower standby power compared to that for a conventional SOI MOSFET. Similarly, fabricating DTMOS shows 1.5 times enhancement of F_{\max} at the same supply voltage.

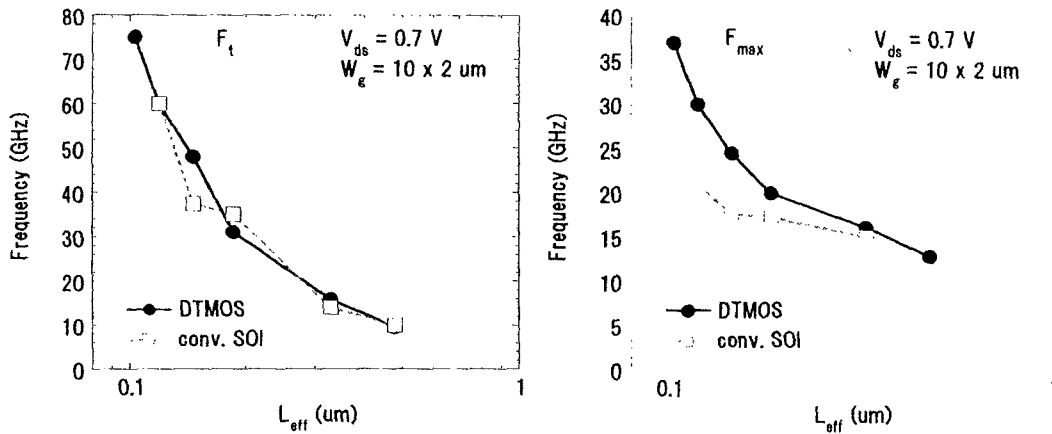


Figure 3 F_t and F_{\max} dependences on effective gate length

Figure 3 compares both F_t and F_{\max} between DTMOS and conventional SOI MOSFET. From equivalent circuit analysis, such higher F_{\max} value of DTMOS can be attributed to large g_m and small g_{ds} . In order to scale down MOSFETs with pursuing low power dissipation, the DTMOS technology can be considered one of the most promising.

The MOSFET can be scaled down with proposed technologies and design guidelines. High-performance and ultra-small MOSFETs can be used for future LSI.

論文審査結果の要旨

集積回路はそこに搭載する半導体デバイスを微細化することによって、高集積化、高性能化、低消費電力化を図ってきた。しかし、半導体デバイスの寸法をただ縮小するだけでは短チャネル効果などのために、高性能化や低消費電力化は達成されない。本論文は新しいプロセス技術およびデバイス技術を導入するとともに、それらの技術を最適化することによって半導体デバイスの高性能化、低消費電力化を検討したもので、全編5章よりなる。

第1章は緒言である。

第2章では、デカボラン ($B_{10}H_{14}$) を用いた新しいクラスタ分子イオン注入法と斜めイオン注入法を用いて、CMOS 集積回路の基本デバイスの一つであるPチャネル MOS トランジスタ (PMOSFET) の高性能化を達成している。デカボランによるイオン注入と斜めイオン注入により、Pチャネル MOS トランジスタのしきい値電圧を下げ、短チャネル効果を抑制することに成功している。それによって、当時世界最小の埋め込みチャネル型Pチャネル MOS トランジスタの試作に成功している。これは実用上有用な結果である。

第3章では、SOI (Silicon on Insulator) ウェーハ上に形成したダブルゲート構造の新しい MOS トランジスタ (DG-SOIMOSFET) の動作解析結果とデバイス試作、評価結果について述べている。トランジスタの動作解析においては、電子密度分布と反転層の平均厚さを求める新しい手法を提案している。また、デバイス試作に当たっては、ウェーハ張り合わせ法という新しい手法を採用するとともに、p+形ゲートとn+形ゲートを組み合わせることによってしきい値を所望の値に設定するという新しい発想を導入している。それによって、世界で初めて、ダブルゲート型 MOS トランジスタの試作に成功し、高速性を実証している。これは重要な成果であり、高く評価される。

第4章では、SOI MOS トランジスタのゲートとボディ端子を接続した低電圧駆動型のDT (Dynamic Threshold) MOS トランジスタの高周波特性評価結果と等価回路解析結果について述べている。検討結果から、DT MOS トランジスタでは最大動作周波数 f_{max} を従来型 MOS トランジスタに比べて著しく増大できることを初めて明らかにしている。これは実用上有用な結果である。

第5章は結言である。

以上、要するに本論文は、新しいプロセス技術およびデバイス技術を導入するとともに、それらの技術を最適化することによって微細半導体デバイスの高性能化、低消費電力化を達成できることを明らかにしたもので、半導体工学および機械知能工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。